

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-247575

(43)Date of publication of application : 19.09.1997

(51)Int.CI.

HO4N 5/46
HO4N 5/66

(21)Application number : 08-049936

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.03.1996

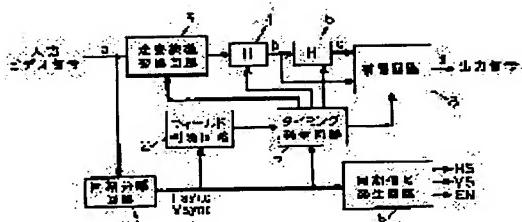
(72)Inventor : HATANO TAKAHISA
FUNAMOTO TARO
KAMEOKA FUMIO
SHINDO YOSHIKUNI

(54) SCANNING LINE CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of a vertical resolution by adding offsets to the coefficient of interpolation in an odd-numbered field and an even-numbered field in scanning line conversion.

SOLUTION: This converter is provided with a timing generation circuit 7 for discriminating the odd-numbered/even-numbered fields and interlace/non-interlace of input signals and generating an interpolation coefficient for performing vertical interpolation in the scanning line conversion and a synchronizing signal generation circuit 6 for generating the respective kinds of pulses for driving a liquid crystal panel. The timing generation circuit provides the interpolation coefficient with the offset for each field by performing reset for each frame and prevents the degradation of the vertical resolution. The synchronizing signal generation circuit 6 generates stable synchronizing signals even for non-standard signals by performing reset for each field.



LEGAL STATUS

[Date of request for examination] 08.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3259628

[Date of registration] 14.12.2001

[Number of appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-247575

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl.⁶
H 04 N 5/46
5/66

識別記号 広内整理番号

F I
H 04 N 5/46
5/66

技術表示箇所
Z

審査請求 未請求 請求項の数6 O.L (全11頁)

(21)出願番号 特願平8-49936

(22)出願日 平成8年(1996)3月7日

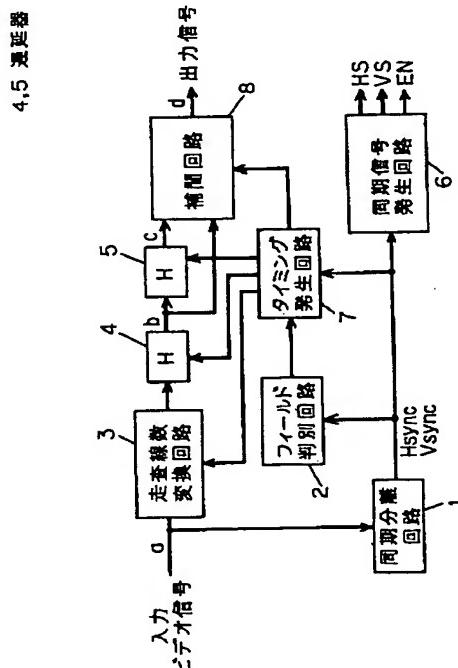
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 堀野 貴久
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(72)発明者 舟本 太朗
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(72)発明者 亀岡 二未王
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内
(74)代理人 弁理士 滝本 智之 (外1名)
最終頁に続く

(54)【発明の名称】走査線変換装置

(57)【要約】

【課題】走査線変換において奇数フィールドと偶数フ
ィールドで補間の係数にオフセットをつけることで垂直
解像度の劣化を防ぐ。

【解決手段】入力信号の奇数／偶数フィールド、イン
ターレース／ノンインターレースを判別し、走査線変換
での垂直補間を行うための補間係数を発生させるタイミ
ング発生回路7と、液晶パネルを駆動させるための各種
パルスを発生させる同期信号発生回路6と備え、タイミ
ング発生回路7は毎フレームごとにリセットを行うこと
で補間係数をフィールドごとにオフセットをもたし垂直
解像度の劣化を防ぎ、同期信号発生回路6は毎フィール
ドごとにリセットを行うことで、非標準信号でも安定な
同期信号を発生させることができる。



1

【特許請求の範囲】

【請求項 1】 入力信号のインターレース／ノンインターレース信号および、奇数／偶数フィールドの極性判別を行い、インターレース信号の場合に奇数フィールドと偶数フィールドで異なる補間処理を行なう走査線変換装置。

【請求項 2】 入力信号がノンインターレース信号の場合に垂直補間を行うための補間タイミング発生回路のリセットは毎フレームごとに行い、表示手段を駆動するために必要な各種パルスを発生させる同期信号発生回路のリセットは毎フィールドごとに行なうことを特徴とする走査線変換装置。

【請求項 3】 入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールド極性を判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を 1 水平期間遅延させる第 1 の遅延器と、前記第 1 の遅延器の出力を 1 水平期間遅延させる第 2 の遅延器と、前記タイミング発生回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第 1 、第 2 の遅延器の出力から信号を内挿する補間回路を備えた走査線変換装置。

【請求項 4】 入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を 1 水平期間遅延させる第 1 の遅延器と、前記第 1 の遅延器の出力を 1 水平期間遅延させる第 2 の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、前記タイミング発生回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第 1 、第 2 の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路を備えた走査線変換装置。

【請求項 5】 入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を 1 水平期間遅延させる第 1 の遅延器と、前記第 1 の遅延器の出力を 1 水平期間遅延させる第 2 の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパル

2

スおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第 1 、第 2 の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路を備えた走査線変換装置。

【請求項 6】 入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を 1 水平期間遅延させる第 1 の遅延器と、前記第 1 の遅延器の出力を 1 水平期間遅延させる第 2 の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第 1 、第 2 の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路と、入力信号の垂直同期信号に同期して同期信号発生回路およびタイミング発生回路の各種出力パルスを強制的に初期化することができる機能を備えた走査線変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイを中心とする電子機器における走査線変換装置に関するものである。

【0002】

【従来の技術】従来、入力信号の画素数と異なる画素数をもつ液晶パネルなどの表示素子に画像を表示するためには走査線変換装置が用いられている。走査線変換を行うための動作としては例えば電子通信学会編「デジタル信号処理の応用」271頁に示されているデジタルビデオ処理操作の一例が挙げられる。以下、図面を参照しながら、従来の走査線変換装置について説明する。

【0003】図10は従来の走査線変換装置の縮小の場合の系統図、図11に内挿縮小動作を示した図である。

【0004】図10において20は基準カウンター、21は比較器、22はレジスタ、23は加算器、24は内挿回路、25はメモリ、26はアドレス発生回路である。また図8は縮小率が0.6の場合の動作原理を示したものである。図8で入力信号の短い縦線は原画信号のサンプル値を表し、黒ドットが新しく内挿により作成することが必要な値である。最初に縮小率の逆数

$S_H = (標準画面寸法) / (縮小さるべき寸法)$ が入力される。この S_H はレジスタと加算器よりなるΣ

40

30

20

10

50

3

S H 回路に加えられる。Σ S H回路は比較器の出力に一致パルスが出現するごとにS Hステップで積分を行うものである。

【0005】さて、この積分出力であるΣ S Hの整数部は、基準カウンターの出力と比較され、値が等しいときは比較器は一致パルスを発生する。この一致パルスは、内挿すべきサンプル点の位置を示すものである。一方、Σ S Hの小数部は、その時点における内挿の係数として用いられる。このように内挿の結果得られたサンプル値は、一致パルスからカウンターによって作られる書き込みアドレスに従って、メインメモリ上の所定の位置に書き込まれる。

【0006】このようにして、一致パルスが発生するごとに新たな画素データを内挿してメモリに書き込むことにより、メモリ上に縮小画像を形成することができる。これを標準スピードで読み出してD-A変換すれば、縮小されたアナログ画像信号が得られるわけである。上記例は水平縮小の例を述べたが垂直の場合も同様でクロックが水平同期信号に同期したパルスとなる。

【0007】このようにサンプル数を変換するには基準となるクロック（もしくは水平同期パルス）をもとに内挿するためのサンプル点と内挿係数の算出およびメモリによるデータ列成形が必要である。

【0008】また、例えばNTSCなどのテレビ信号に対しても走査線数を2倍にしてVGA（画素数640×480）パネルに写すような構成が一般的である。このとき走査線数を2倍にするには入力信号をFIFOに書き込み、書き込みの2倍の速度で1ラインを2回ずつ読み出すことで走査線を2倍に変換する構成が通常用いられているが、この構成だと簡単な構成のため、フィールドメモリは不要でFIFO（ラインメモリ）のみで済むが、インターレースにならないため垂直解像度が劣化する。垂直解像度を確保するためには、フィールド間で信号を補間する動き適応型走査線補間など、フィールドメモリーを必要とする。

【0009】

【発明が解決しようとする課題】このように、NTSCなどインターレース信号に対応する場合、垂直解像度を確保しつつ走査線変換を行うには、フィールドメモリを用いる必要があることからコストが高くなるという問題点があった。

【0010】本発明は前記課題に鑑み、少ない回路規模にかかわらず、垂直解像度の劣化がない走査線変換装置を提供するものである。

【0011】

【課題を解決するための手段】前記課題を解決するため、本発明の走査線変換装置は入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールド極性を判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路と、入力信号の垂直同期信号に同期して同期信号発生回路およびタイミング発生回路の各種出力パルスを強制的に初期化することができる機能を備えたことを特徴としたものである。

4

換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路と、入力信号の垂直同期信号に同期して同期信号発生回路およびタイミング発生回路の各種出力パルスを強制的に初期化することができる機能を備えたことを特徴としたものである。

【0012】

【発明の実施の形態】本発明の請求項1に記載の走査線変換装置は、入力信号がインターレース／ノンインターレース信号および、奇数／偶数フィールドの極性の判別を行い、インターレース信号の場合に奇数フィールドと偶数フィールドで補間処理を違えることで垂直解像度を劣化させずに走査線変換を行うことができるという作用を有する。

【0013】本発明の請求項2に記載の走査線変換装置は、入力信号がノンインターレース信号の場合に垂直補間を行うための補間タイミング発生回路のリセットは毎フレームごとに行い、液晶パネルを駆動するために必要な各種パルスを発生させる同期信号発生回路のリセットは毎フィールドごとに行うことで非標準信号にも安定な同期が得られ、かつ垂直解像度を劣化させずに走査線変換を行うことができるという作用を有する。

【0014】本発明の請求項3に記載の走査線変換装置は、入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールド極性を判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、前記タイミング発生回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路を備えたことを特徴としており、偶数フィールドと奇数フィールドで信号を内挿するための垂直内挿係数を変えることで垂直解像度の劣化を防ぐという作用を有する。

【0015】本発明の請求項4に記載の走査線変換装置は、入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、前記タイミング発生回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路を備えたことを特徴としており、偶数フィールドと奇数フィールドで信号を内挿するための垂直内挿係数を変えることで垂直解像度の劣化を防ぎつつ、同期信号発生回路のリセットは毎フィールドごとに行い、タイミング発生回路のリセットは毎フレームごとに行うことで入力信号の同期乱れにも安定した出力を供給できるという作用を有する。

【0016】本発明の請求項5に記載の走査線変換装置は、入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路を備えたことを特徴としており、入力信号がインターレースの場合は偶数フィールドと奇数フィールドで信号を内挿するための垂直内挿係数を変えることで垂直解像度の劣化を防ぎつつ、同期信号発生回路のリセットは毎フィールドごとに行い、タイミング発生回路のリセットは毎フレームごとに行い、ノンインターレースの場合は毎フィールドごとに同期信号発生回路とタイミング発生回路のリセットを行うことで入力信号の同期乱れにも安定した出力を供給できるという作用を有する。

【0017】本発明の請求項6に記載の走査線変換装置

は、入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路と、入力信号の垂直同期信号に同期して同期信号発生回路およびタイミング発生回路の各種出力パルスを強制的に初期化することができる機能を備えたことを特徴としており、偶数フィールドと奇数フィールドで信号を内挿するための垂直内挿係数を変えることで垂直解像度の劣化を防ぎつつ、非標準信号に対しても安定した出力を供給できるという作用を有する。

【0018】(実施の形態1)以下に、本発明の一実施の形態について、図1、図2、図3、図4を用いて説明する。

【0019】図1において、1は同期分離回路、2はフィールド判別回路、3は走査線数変換回路、4は走査線数変換回路3の出力を1水平期間遅延させる第1の遅延器、5は遅延器4の出力を1水平期間遅延させる第2の遅延器、6は同期信号発生回路、7はタイミング発生回路、8は補間回路である。図2は垂直補間の動作を示した動作原理図、図3はインターレース信号における垂直補間の様子を示した図である。図4はタイミング発生回路の内部構成を示した図であり、図4においてはタイミング発生回路7の内部構成を示した図であり、27は選択器である。

【0020】入力ビデオ信号を同期分離回路1に入力し、水平同期信号(H sync)および垂直同期信号(V sync)を分離して出力する。分離された同期信号を基にフィールド判別回路2で現在のフィールドが偶数フィールドか奇数フィールドなのかを、例えばH syncとV syncの位相関係をみるとことによって判別し出力する。

【0021】また同期信号発生回路6では入力信号のH syncとV syncをもとに液晶パネルモジュールを駆動するのに必要な走査線数変換後の同期信号、例えば水平同期信号(HS)、垂直同期信号(VS)、イネーブル信号(EN)等のパルスを作成する。同期信号発生

回路6の内部構成としては、例えばH syncをもとにPLLでドットクロックを再生してそのクロックをカウンターで分周してHS、VS等を作成する。

【0022】走査線数変換回路3は入力ビデオ信号の水平周波数を変換して出力する。走査線数変換回路3では、例えば従来例で述べた縮小の例と同様に水平期間におけるサンプル数の変換を行う。走査線数が変換された信号は遅延器4、遅延器5に入力されて図2のごとく出力される。遅延器4から出力された信号と、遅延器5から出力された信号は、補間回路8に入力され、補間回路8で垂直方向に信号を補間して出力する。図2の例では走査線数を2倍にする場合は遅延器4と遅延器5の出力をタイミング発生回路7で算出する係数に応じて補間する。

【0023】ところで入力信号がNTSCのようなインターレース信号の場合は、図3(a)のように送出側は原信号がプログレッシブのような信号の場合は、奇数フィールド(o)、偶数フィールド(e)にわけて送出する。ここで白丸は輝度が高い信号を表し、黒丸は輝度が低い信号を表す。こうして送出されたいんだインターレース信号は受像側でそれぞれ偶数フィールドまたは奇数フィールドごとに補間処理されて表示される。従来の例を図3(c)において示す。偶数フィールド、奇数フィールドごとに補間された走査線(二重丸で示す)は、変換後信号(ノンインターレース)はフィールドメモリを使用せずに、 FIFOを使用して補間を行い走査線変換を行った例である。奇数フィールド(o)の1ラインと2ラインの中間にラインが補間されている。走査線数を2倍に変換するため補間係数は0.5となり、1ライン目と2ライン目の平均が補間ラインの信号値となる。この例では1ラインが輝度が低く、2ラインが輝度が高いため補間ラインは中間輝度となっている。同様に偶数ライン(e)も補間され走査線数が2倍となる。

【0024】一般に基準カウンター20は任意の分周比を設定できるようにすることでNTSC以外にもPALなど様々な信号に対応できるようにするためにVsyncでリセットをかける必要がある。このとき奇数フィールドと偶数フィールドともに垂直同期信号Vsyncを基準として補間のタイミング、係数を作成することからフィールドごとにずれを生じる。よって奇数フィールド/偶数フィールド合わせた信号は液晶パネルで見た場合、視聴者の目にはその応答特性から各フィールドを積分した値となる。それを表したのが図3(c)の変換後信号(ノンインターレース変換)のfであり、原信号は輝度が低い信号1に対して高い信号2という周波数で変化しているのに対して変換後は輝度が低い(中間輝度)3に対して、輝度が高い部分3と低い周波数の変化となっている。送出側からの信号がノンインターレースの場合は良いが、インターレースの場合は図3(c)のように垂直解像度が劣化している。

【0025】本発明の走査線変換装置において、偶数フィールドの補間係数のみに0.5のオフセットをつける。奇数フィールドが0.0.5.0.0.5....と補間係数が基準カウンターで作成されるのに対して偶数フィールドは0.5.0.0.5....とする。その場合は変換後(インターレース変換)のeで示すように補間される。そのため、実際の液晶パネルで見た信号はfとなり、輝度が高い(中間輝度)信号2に対して輝度が低い(中間輝度)信号1原信号と同じような周波数の変化が得られる。

【0026】なお、図3での信号の輝度のレベルは図中の丸の色の濃さ(白丸が輝度が高く、黒丸に近づくに従って輝度が低い)で表している。

【0027】図4に示すタイミング発生回路の内部構成図のようにフィールド判別結果をもとにΣSH回路の加算器23をオフセットを選択器27で選択する。奇数フィールドの時は選択器27で0を選択し、偶数フィールドの時は選択器27でオフセット値を選択する。オフセット値は縮小率の逆数を示すSHに0.5を乗じた数である。

【0028】以上の構成により偶数フィールドと奇数フィールドとの補間係数にオフセットがつき、あたかもインターレスしているような補間後の信号を得ることができる。

【0029】かかる構成によれば、偶数フィールドと奇数フィールドで信号を内挿するための垂直内挿係数を変えることで垂直解像度の劣化を防ぐことができる。

【0030】(実施の形態2)つぎに、本発明の別の一実施の形態について、図5、6を用いて説明する。

【0031】なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0032】図5において、9は同期分離されたVsyncをもとに同期信号発生回路6、タイミング信号発生回路7を制御する制御回路である。図6は制御回路の内部構成の一例を示し、図6において28はAND回路である。実施の形態1では奇数フィールドと偶数フィールドの毎フィールドごとにVsyncでリセットをかけ、補間係数は0.5のオフセットをつける構成であったが、実施の形態2ではタイミング発生回路7のリセットは毎フィールドではなく毎フレームごととする。毎フレームごとにリセットをかけるため、補間係数も1フレームで完結することになり、毎フィールドごとにリセットをかけて、補間係数にオフセットを与えるのと同様な補間となる。このとき同期信号発生回路6は実施の形態1と同じく毎フィールドごとに行う。

【0033】かかる構成によれば、非標準信号入力時など入力の同期が正規でなくとも、液晶パネルを駆動させる各種パルスは入力信号に同期しており、安定な画像を得ることができつつ、実施の形態1と同じく垂直解像度の劣化を防ぐことができる。

【0034】(実施の形態3) つぎに、本発明の別の一実施の形態について、図7、8を用いて説明する。

【0035】なお、前述した実施の形態と同じ構成については同じ符号を用い、説明を省略する。

【0036】図7において、10は入力信号がインターレースかノンインターレースか判定を行うインターレース判別回路である。図8は本実施の形態の制御回路の内部構成を示すもので、図8において29は選択器である。インターレース判別回路は、例えばインターレースの場合はフィールド判別の結果が奇数フィールドと偶数フィールドが交互に判別されるが、ノンインターレースの場合は常に奇数フィールドと判別されることにより、複数フィールドにわたってフィールド判別回路の結果を監視することでインターレース/ノンインターレースの判別ができる。

【0037】入力信号がインターレースの場合は実施の形態2と同じくタイミング発生回路のリセットは毎フレームで行うよう選択器29はAND回路28の出力を選択する。入力信号が例えばゲーム機などのようにノンインターレース信号の場合は毎フィールドごとにリセットを行うため選択器29は入力Vsyncを選択する。かかる構成によれば、入力信号に応じて最適な垂直補間ができる。

【0038】(実施の形態4) つぎに、本発明の別の一実施の形態について図9の同期信号発生回路の内部構成図を用いて説明する。

【0039】図9において、11はカウンター、12は第1の比較器、13は第2の比較器、14はインバータ、15は第1のAND回路、16は第2のAND回路、17は第1のOR回路、18は第2のOR回路、19はRS-FFである。

【0040】図9の同期信号発生回路はVSを発生させる例を述べたものである。入力されたHS信号はカウンター11にてHSの数をカウントされる。カウントされた値(10bit)は比較器12、13で設定されたスタートライン値、エンドライン値と比較され、一致パルスを出力する。一致パルスはRS-FF(リセット/セットフリップフロップ)でVS信号を発生する。

【0041】例えばスタートライン10、エンドライン30の場合は10ラインから30ラインまでが“H”レベルのパルスを出力することになる。このとき、OR回路17、18では入力Vsync期間(この場合は正極性)で強制的にVSをセットもしくはリセットを行う。インバータ14、AND回路15、16でセット/リセットの選択を行う。すなわちS/Rが“H”レベルのときはセットとなる。これは例えば入力信号がNTSCの非標準信号でライン数が260ライン/フィールドしかない場合、走査線を2倍に変換すると520ラインとなる。液晶パネルに与えるVSが標準信号の場合にHSが495ラインから525ラインまで30ライン幅の設定

としていたときは、上記強制セット/リセット回路を形成するOR回路17、18がない場合は、カウンター11のカウント値は1~520しかとらず、エンドラインとなる525という値を取り得ない。そのためVSは常にセット状態となってしまう。このため非標準信号の場合は強制的に入力Vsyncに応じて、上記例ではリセットを行うと、VSが495ラインから520ラインでのパルス幅を発生することができる。上記例ではVSの場合をのべたが、その他のパルス全てに同様のことが言える。

【0042】かかる構成によれば、入力信号が非標準信号の場合でも安定な各種パルスを発生することができ、最適な垂直補間ができる。

【0043】

【発明の効果】以上のように、本発明の走査線変換装置によれば、入力信号の水平同期信号および垂直同期信号を検出する同期分離回路と、入力信号のフィールドを判別するフィールド判別回路と、入力信号の水平走査線の走査線数を変換する走査線数変換回路と、前記走査線変換回路の出力を1水平期間遅延させる第1の遅延器と、前記第1の遅延器の出力を1水平期間遅延させる第2の遅延器と、前記同期信号分離回路の出力から走査線変換後の水平同期信号および垂直同期信号を作成する同期信号発生回路と、入力信号の信号形式がインターレースかノンインターレースなのか判別するインターレース判別回路と、前記タイミング発生回路およびインターレース判別回路と連動して走査線変換に用いるためのパルスおよび垂直内挿係数を発生させるタイミング発生回路と、前記タイミング発生回路の出力に応じて前記第1、第2の遅延器の出力から信号を内挿する補間回路と、入力信号の形式に応じて前記同期信号発生回路およびタイミング発生回路のリセット信号を制御する制御回路と、入力信号の垂直同期信号に同期して同期信号発生回路およびタイミング発生回路の各種出力パルスを強制的に初期化することができる走査線変換装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における走査線変換装置の回路図

【図2】同走査線変換装置の動作を示した動作原理図

【図3】同走査線変換装置の垂直補間を説明する図

【図4】同走査線変換装置のタイミング発生回路の一例を示す図

【図5】本発明の実施の形態2における走査線変換装置の回路図

【図6】同走査線変換装置の制御手段の一例を示す回路図

【図7】本発明の実施の形態3における走査線変換装置の回路図

【図8】同走査線変換装置の制御手段の一例を示す回路

11

図

【図 9】本発明の走査線変換装置の同期信号発生装置の一例を示す図

【図 10】従来の走査線変換装置を示す図

【図 11】従来の走査線変換装置における内挿縮小動作

図

【符号の説明】

- 1 同期分離回路
- 2 フィールド判別回路
- 3 走査線数変換回路
- 4 遅延器 1
- 5 遅延器 2
- 6 同期信号発生回路

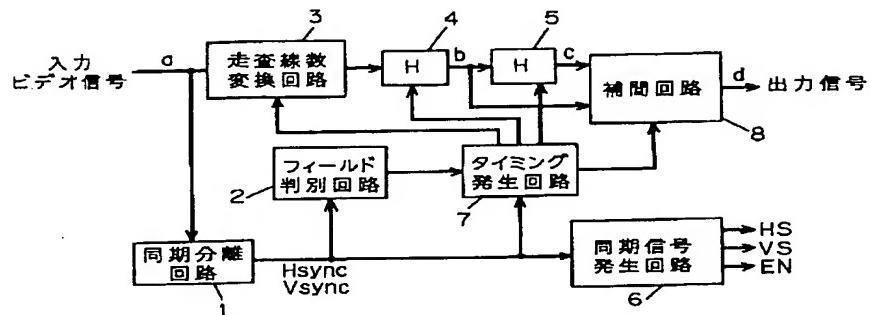
* 7 タイミング発生回路

- 8 補間回路
- 9 制御回路
- 10 インターレース判別回路
- 11 カウンター
- 12 比較器 1
- 13 比較器 2
- 14 インバータ
- 15 AND回路 1
- 16 AND回路 2
- 17 OR回路 1
- 18 OR回路 2
- * 19 SR-FF

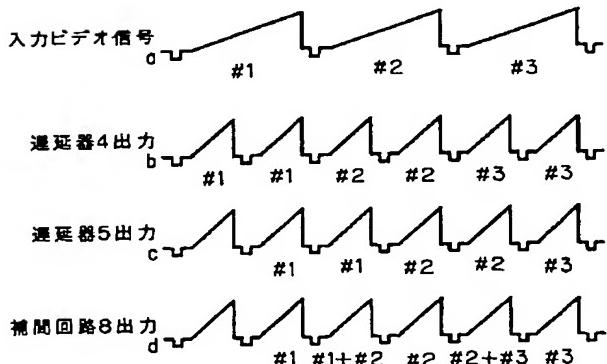
12

【図 1】

4,5 遅延器

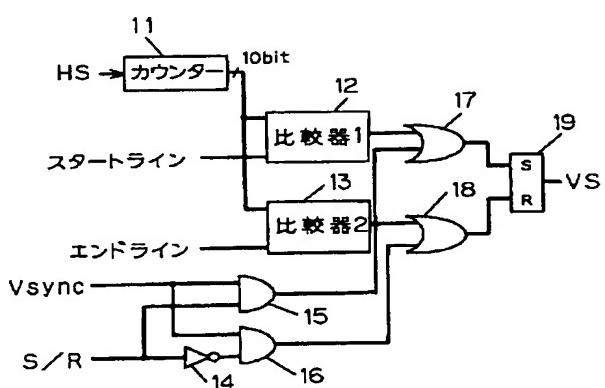


【図 2】

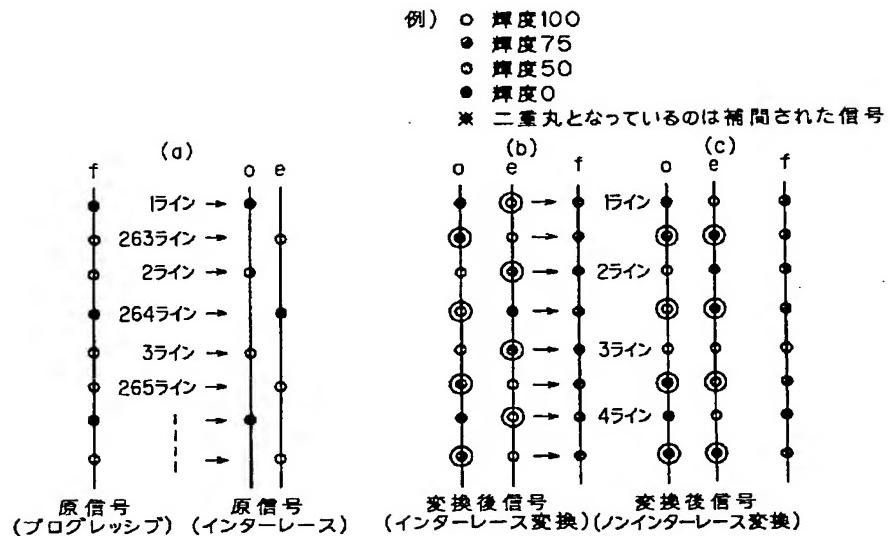


【図 9】

- 14 インバータ
- 15 AND回路 1
- 16 AND回路 2
- 17 OR回路 1
- 18 OR回路 2
- 19 SR-FF

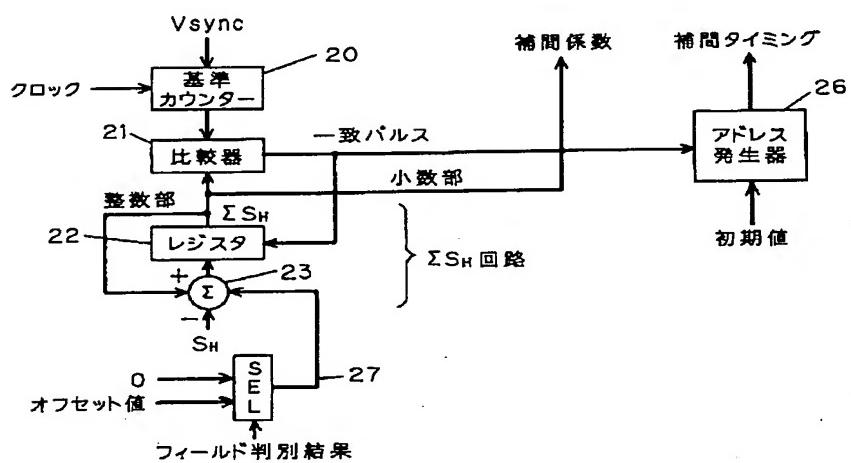


【図 3】

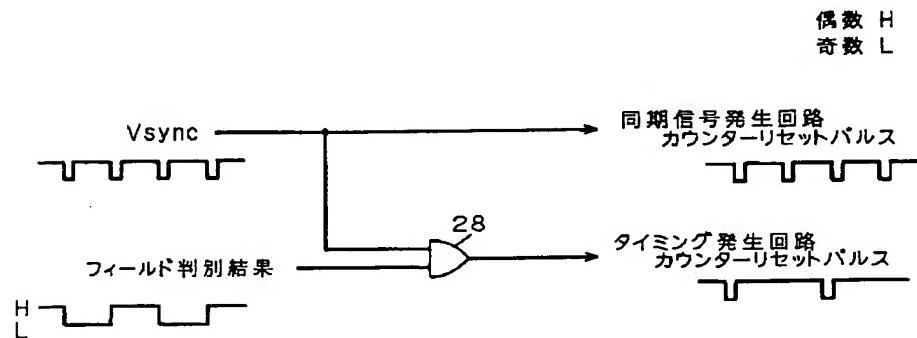


【図 4】

7 タイミング発生回路

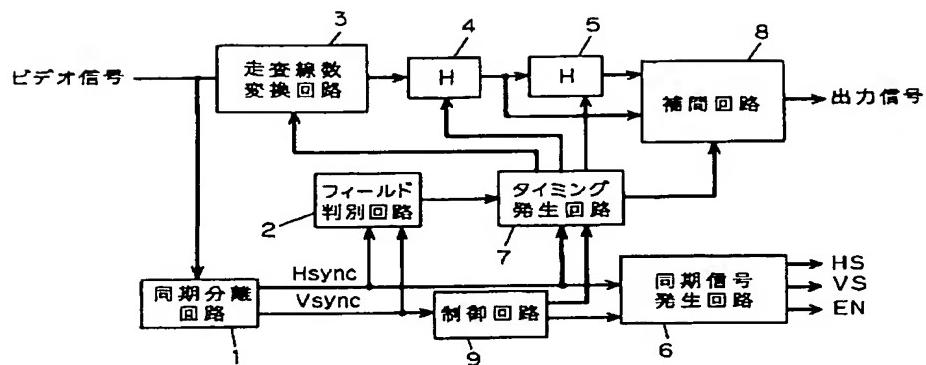


【図 6】



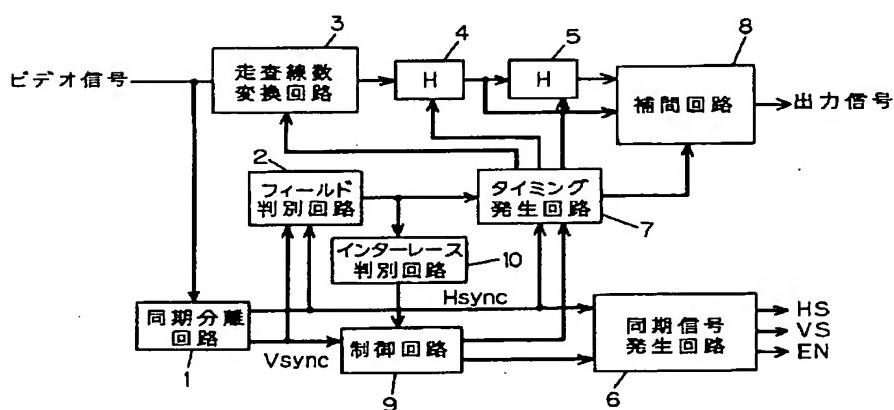
【図 5】

4.5 遅延器

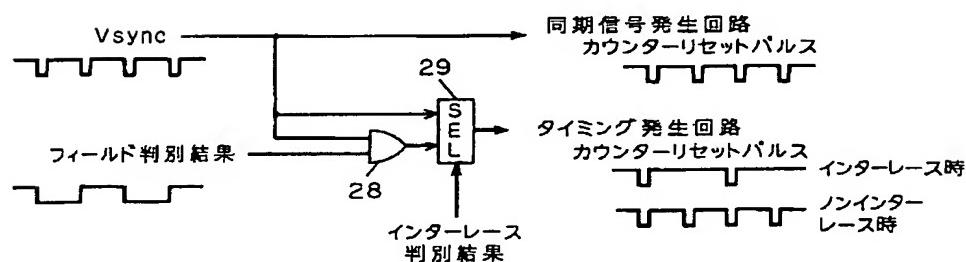


【図 7】

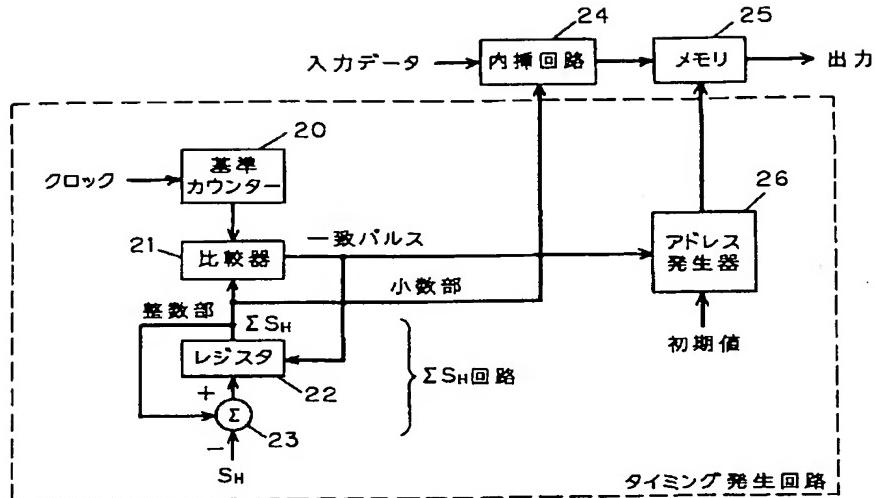
4.5 遅延器



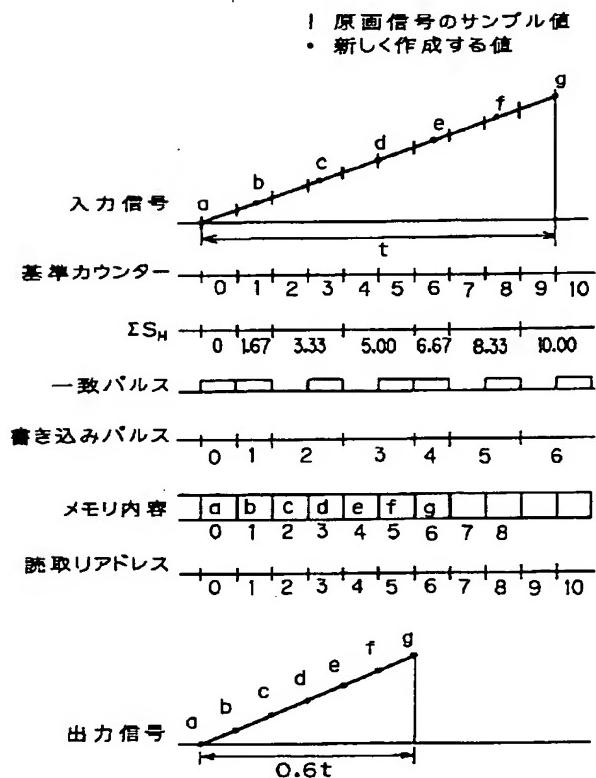
【図 8】

偶数 H
奇数 L

【図10】



【図11】



フロントページの続き

(72)発明者 進藤 嘉邦
大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内